

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

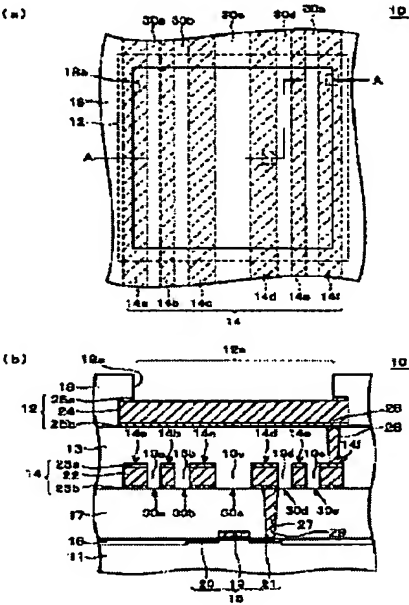
Publication number: JP2004014609
Publication date: 2004-01-15
Inventor: SEMI ATSUSHI
Applicant: SHARP KK
Classification:
- international: H01L23/52; H01L21/3205; H01L21/60; H01L23/485; H01L23/52; H01L21/02; H01L23/48(PCI-7); H01L21/3205; H01L21/60
- european: H01L23/485A
Application number: JP20020162800 20020604
Priority number(s): JP20020162800 20020604

Also published as:

US6847124 (B2)
US2004016949 (A1)

Report a data error here

Abstract of JP2004014609
PROBLEM TO BE SOLVED: To reduce the size of a semiconductor device by effectively utilizing underlayers of bonding pads, while suppressing generation of cracks in the underlayers of the bonding pads.
SOLUTION: The semiconductor device 10 comprises a semiconductor substrate 11, bonding pads 12 having connecting regions 12a for electric connection with the outside, a first interlayer insulating layer 13 interposing between the semiconductor substrate 11 and the bonding pads 12, and a metal wiring layer 14 embedded in the first interlayer insulating layer 13. The metal wiring layer 14 is composed of a material having a smaller hardness than that of the first interlayer insulating layer 13. At least a part of the metal wiring layer 14 is overlapped with a connecting region 12a in a laminated direction. In the region of the metal wiring layer 14 with which the connecting region 12a is overlapped, notched parts 30a-30e for penetrating in the laminated direction to separate the metal wiring layer 14 in its layer direction are formed, and a part of the first interlayer insulating layer 13 is filled in the notched parts 30a-30e.
COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14609

(P2004-14609A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int.Cl.⁷H01L 21/3205
H01L 21/60

F1

H01L 21/88 T
H01L 21/60 301P

テーマコード (参考)

5F033
5F044

審査請求 未請求 請求項の数 13 OL (全 21 頁)

(21) 出願番号 特願2002-162800 (P2002-162800)
(22) 出願日 平成14年6月4日(2002.6.4)(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番22号(74) 代理人 100080034
弁理士 原 謙三(72) 発明者 瀬見 淳
大阪府大阪市阿倍野区長池町2番22号
シャープ株式会社内Fターム(参考) 5F033 GG03 HH08 HH09 HH18 HH33
KK01 KK08 KK09 KK18 KK33
MM05 MM08 MM13 MM22 QQ08
QQ37 RR04 RR15 SS04 UU01
VV07 WW00 XX17 XX34
5F044 EE11 EE12 EE14 EE20 EE21

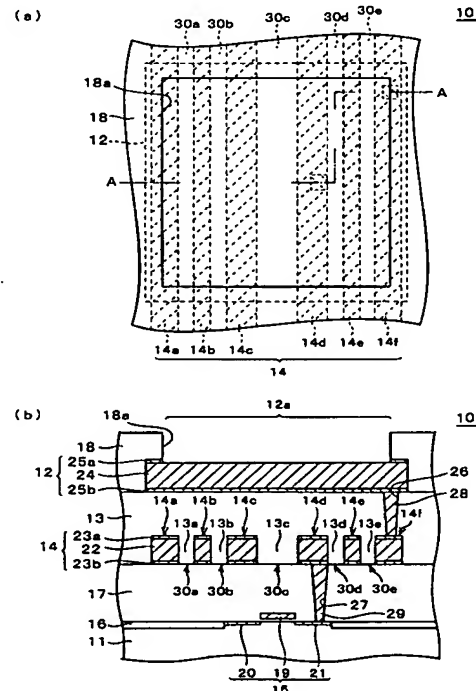
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ホンディングパッドの下層におけるクラックの発生を抑制しつつ、ホンディングパッドの下層を有効活用して装置の小型化を図る。

【解決手段】 半導体装置10は、半導体基板11と、外部との電氣的接続をとるための接続領域12aを有するホンディングパッド12と、半導体基板11とホンディングパッド12との間に介在する第1層間絶縁層13と、第1層間絶縁層13に埋設されたメタル配線層14とを備える。メタル配線層14は第1層間絶縁層13より硬度の小さい材質からなる。メタル配線層14の少なくとも一部は、積層方向において接続領域12aと重なり、接続領域12aと重なるメタル配線層14の領域には、積層方向に貫通し、メタル配線層14をその層方向において分離している切欠部30a〜30eが形成されているとともに、この切欠部30a〜30eに第1層間絶縁層13の一部が埋め込まれている。

【選択図】 図1



【特許請求の範囲】

【請求項1】

表面に複数の層が積層された基板と、
それぞれ上記複数の層の一部をなす層であって、外部との電氣的接続をとるための接続領域を有する第1導電層と、上記基板と上記第1導電層との間に介在する絶縁層と、上記絶縁層に埋設された第2導電層とを備え、
上記第2導電層が上記絶縁層より硬度の小さい材質からなる半導体装置において、
上記第2導電層の少なくとも一部の領域は、上記複数の層の積層方向において上記接続領域と重なっており、
上記接続領域と重なる上記第2導電層の領域には、上記積層方向に貫通しており、上記第2導電層をその層方向において分離している切欠部が形成されているとともに、この切欠部に上記絶縁層の一部が埋め込まれていることを特徴とする半導体装置。 10

【請求項2】

上記第2導電層における上記切欠部により互いに分離された部分のうちの少なくとも1つは、上記第2導電層の層方向に延在する配線であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

上記基板が半導体基板であり、
上記積層方向において上記接続領域と重なる上記半導体基板の領域には、半導体素子が形成されていることを特徴とする請求項1又は2に記載の半導体装置。 20

【請求項4】

上記積層方向において上記接続領域と重なる上記第2導電層の領域には、上記切欠部が複数形成されているとともに、各切欠部にそれぞれ上記絶縁層の一部が埋め込まれていることを特徴とする請求項1から3の何れか1項に記載の半導体装置。

【請求項5】

上記積層方向において上記接続領域と重なる上記第2導電層の領域では、上記接続領域の中心に相当する部分に対して上記基板の端部側より中心側に上記切欠部が多く形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】

上記積層方向において上記接続領域と重なる上記第2導電層の領域であって、上記接続領域の中心に相当する部分には上記切欠部が位置することを特徴とする請求項1から5の何れか1項に記載の半導体装置。 30

【請求項7】

上記切欠部は、上記第2導電層の層方向に延在するスリット状に形成されていることを特徴とする請求項1から3の何れか1項に記載の半導体装置。

【請求項8】

上記積層方向において上記接続領域と重なる上記第2導電層の領域のうち上記切欠部を除いた部分の面積の割合が、87%以下であることを特徴とする請求項7に記載の半導体装置。

【請求項9】

上記積層方向において上記接続領域と重なる上記第2導電層の領域には、上記切欠部が複数形成されているとともに、各切欠部にそれぞれ上記絶縁層の一部が埋め込まれており、
上記積層方向において上記接続領域と重なる上記第2導電層の領域では、上記各切欠部の延在する方向に直交する断面における上記第2導電層の層方向の上記切欠部の平均数密度が、0.2本/ μm 以上であることを特徴とする請求項7に記載の半導体装置。 40

【請求項10】

表面に複数の層が積層された基板と、
それぞれ上記複数の層の一部をなす層であって、外部との電氣的接続をとるための接続領域を有する第1導電層と、上記基板と上記第1導電層との間に介在する絶縁層と、上記絶縁層に埋設された第2導電層とを備える半導体装置の製造方法において、 50

上記第2導電層を形成する第2導電層形成工程と、

上記第2導電層に対して、上記複数の層の積層方向に貫通し、上記第2導電層をその層方向において分離する切欠部を形成する切欠部形成工程と、

上記第2導電層を覆い、かつ、上記切欠部を埋めるようにして、上記第2導電層より硬度の大きい材質からなる上記絶縁層を形成する絶縁層形成工程と、

上記積層方向において上記第2導電層における上記切欠部の形成された領域と上記接続領域とが重なるように上記第1導電層を形成する第1導電層形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項11】

上記第2導電層における上記切欠部により互いに分離された部分のうちの少なくとも1つを、上記第2導電層の層方向に延在する配線とすることを特徴とする請求項10に記載の半導体装置の製造方法。

10

【請求項12】

上記切欠部形成工程では、上記積層方向において上記接続領域と重なる上記第2導電層の領域に、上記切欠部を複数形成することを特徴とする請求項10又は11に記載の半導体装置の製造方法。

【請求項13】

上記切欠部を、上記第2導電層の層方向に延在するスリット状に形成することを特徴とする請求項10から12の何れか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、外部との電氣的接続をとるための領域を有する例えばボンディングパッドのような導電層と、その下方に設けられ、絶縁層に埋設された他の導電層とを備える半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

半導体集積回路等の半導体装置は、その高機能化、高性能化に伴い、半導体装置の内部配線を構成する配線層が複数のメタル配線層つまり多層配線により構成され、また半導体装置の外部との信号等の入出力のためのボンディングパッドの数もますます増大している。

30

【0003】

従来の多層配線技術においては、ボンディングパッドを最上層のメタル配線層のみで形成するのではなく、その下層にある全てのメタル配線層を用いて形成することが多い。つまり、下層のメタル配線層の形状を、最上層のメタル配線層で形成するボンディングパッドの形状と略同じ形状にしてボンディングパッドの下方に配し、それぞれのメタル配線層で形成されたボンディングパッド同士を、ビアホール(via hole)などを介して接続し、同電位にするといった構成がとられている。

【0004】

このような構成をとるのは、ビアホールのみを用いることにより、複数の層を介してさらに下層のメタル配線層や半導体素子とのコンタクトをとろうとすると、各層間でビアホールの位置合わせが困難になる、各層間でのビアホール同士の接続は信頼性に欠ける等の問題が発生するからである。したがって、上記の構成をとることにより、各層間においてメタル配線層を介してビアホール同士を接続するようにし、コンタクトをより容易かつ確実にするようにしている。

40

【0005】

この構成では、ボンディングパッドの下方には半導体素子が配置されていなかった。その理由は、ウエハーテスト工程におけるテスターのフローバーの衝撃、又は後半工程にてチップをパッケージにアセンブリする際のボンディング工程におけるワイヤーボンダーのボンディングヘッドの衝撃で、ボンディングパッド、又は各層のボンディングパッド間の層間絶縁膜にクラックが発生する可能性があることにある。ボンディングパッドの下方に半

50

導体素子を配置していた場合、上記クラックの発生により、例えばボンディングパッドと下方の半導体素子のメタル配線とがショートし、半導体装置の目的とする機能が失われる可能性があるからである。

【0006】

近年、半導体装置の高集積化が進む中、多機能化や、大容量化、システム化によって、チップサイズが増大してきている。その一方では、チップコストを下げるためにチップサイズの縮小化が急務となってきている。チップサイズを縮小するためには、プロセス縮小、回路の簡素化等様々な方法があるが、レイアウト的な手法の一つとして、ボンディングパッドの形成された領域を有効に活用することが考えられる。

【0007】

ボンディングパッドの形成された領域を有効活用する技術としては、ボンディングパッドの下方に半導体素子のアクティブ領域を配置するいわゆるエリアパッド技術が考えられる。ところが、従来の構成では、上述したようにボンディングパッドや層間絶縁膜にクラックが発生し、ショートが起こる可能性があったため、これを抑制しない限りエリアパッド技術は採用し難いものであった。

【0008】

そこで、エリアパッド技術では、ボンディングパッドの下方にポリイミド膜などの有機材料薄膜を配し、それにより衝撃を吸収する方法がとられている。しかし、この方法では、有機材料薄膜を配するための材料や処理装置、処理工程を別途必要とするため、半導体装置のコストアップを招来することになる。

【0009】

したがって、エリアパッド技術を採用するためには、極力コストアップを招来することなくボンディングパッドや層間絶縁膜のクラック発生を防止する方法が求められる。

【0010】

ここで、特開平3-1538号公報（公開日平成3（1991）年1月8日）には、多層配線技術におけるクラック発生防止に関する技術が開示してある。図8（a）は、上記公報に開示された半導体装置100のボンディングパッド120部分の平面図であり、図8（b）は、この半導体装置100の断面図である。

【0011】

この半導体装置100は、例えばP型シリコン基板等の半導体基板101の表面に、絶縁膜102を介してポリサイドによる配線103a及び配線層103bが形成され、その上方に、A1配線層104・105・106が層間絶縁膜107・108・109を介して形成され、さらに表面保護膜110が形成されて構成されている。

【0012】

上記A1配線層104・105・106によりボンディングパッド120が構成されている。そして、A1配線層106上の表面保護膜110が一部取り除かれることにより開口部110aが形成されており、この開口部110aに露出したA1配線層106の表面がボンディングパッド120の接続面120aとなっている。

【0013】

層間絶縁膜108・109にはそれぞれ複数の導電体111・112が埋め込まれている。また、層間絶縁膜107には導電体113が埋め込まれている。この導電体111～113は、A1配線層106と配線103aとを接続するために設けられている。なお、導電体112と導電体111とを接続するためにA1配線層105が設けられており、導電体111と導電体113とを接続するためにA1配線層104が設けられている。

【0014】

ここで、導電体111・112は、各層の積層方向において互いに重なり合わないようにならずに配置されている。これにより、一般に硬質の材料からなる導電体111・112に対してボンディング工程等においてストレスがかかった際に、それぞれ下地となるA1配線層104・105をストレスバッファ層として作用させることで絶縁膜102や層間絶縁膜107の破損を回避しようとしている。

10

20

30

40

50

【0015】

また、特開平10-64945号公報（公開日平成10（1998）年3月6日）には、多層配線技術におけるクラック発生防止に関する他の技術が開示してある。図9は、上記公報に開示された半導体装置におけるボンディングパッド200部分の斜視図である。

【0016】

このボンディングパッド200は、電極201と電極203とを、層間絶縁膜204・205に埋め込まれた導電体206・207を介して接続するようになっている。なお、電極202は、導電体206と導電体207とを接続するために設けられている。さらに、電極202には開口部202aが設けられており、この開口部202aを介して層間絶縁膜204・205が接続されている。これにより、電極201・203間には層間絶縁膜による支柱208が介在することになる。したがって、ボンディング工程の際に衝撃が加わったとしても、層間絶縁膜204・205にクラックが生じることを回避しようとしている。

10

【0017】

【発明が解決しようとする課題】

ところが、上記特開平3-1538号公報に開示された技術では、依然としてクラックが発生する可能性が高い。ここで、上記特開平3-1538号公報に開示された構成において、ボンディングパッド又は層間絶縁膜にクラックが入るメカニズムについて説明する。

【0018】

通常、A1配線層104・105・106等の配線層は比較的硬度の小さい材質からなり、層間絶縁膜107・108・109は比較的硬度の大きい材質からなっている。図8（a）及び図8（b）のように、ボンディングパッド120を比較的広い面積の多層のメタルにて構成した場合、ウエハーテスト工程におけるテスターのアローバー、又はボンディング工程におけるワイヤーボンダーのボンディングヘッドがA1配線層106を押すと、このA1配線層106の下層をなすA1配線層105・104の硬度が小さいためA1配線層105・104が圧縮変形する。A1配線層105・104が圧縮変形すると、A1配線層105・104自体の変形箇所、及び層間絶縁膜108・109におけるA1配線層105・104の変形箇所に対応する部分に局部的に応力が集中することになる。その結果、応力が集中した部分又はその周辺部にクラックが発生する可能性が高くなる。

20

【0019】

なお、配線層の上面及び下面には、フォトリソグラフィ技術を用いた加工における露光時の光反射を防止すべく比較的硬度の大きいTiN等の材質からなるバリアメタルが形成されることがある。上記のように応力集中が起こると、バリアメタルにもクラックが発生する可能性が高くなる。

30

【0020】

また、上記何れの公報に開示された技術においても、ボンディングパッドが形成された部分においては、複数の層がボンディングパッドの形成のために占有されているため、ボンディングパッドの形成された領域を有効活用できていない。

【0021】

例えば上記特開平10-64945号公報に開示された図9の構成を例にとると、電極202は一体的に構成されており、導電体206と導電体207とを接続するために設けられたものである。したがって、電極202は各層の積層方向の電氣的接続をとるために設けられているといえる。

40

【0022】

一方、基板上にはその面方向に2次元的に多数の素子等が配置されており、これらを接続するための配線として、電極202と同じ層にて形成した配線を利用することも考えられる。この場合、図9の構成では、電極202が形成されている領域を迂回して配線を形成する必要がある。したがって、配線の敷設の観点からするとボンディングパッドの形成された領域を有効活用できないという問題が生じる。

【0023】

50

なお、このような問題は、上記特開平 3 - 1 5 3 8 号公報に開示された図 8 (a) 及び図 8 (b) の構成においても同様に生じる。

【0024】

本発明の目的は、クラックの発生を抑制しつつ、ボンディングパッドの形成された領域を有効活用して装置の小型化を図ることが出来る半導体装置及びその製造方法を提供することにある。

【0025】

【課題を解決するための手段】

本発明の半導体装置は、表面に複数の層が積層された基板と、それぞれ上記複数の層の一部をなす層であって、外部との電氣的接続をとるための接続領域を有する第 1 導電層と、上記基板と上記第 1 導電層との間に介在する絶縁層と、上記絶縁層に埋設された第 2 導電層とを備え、上記第 2 導電層が上記絶縁層より硬度の小さい材質からなる半導体装置であって、上記第 2 導電層の少なくとも一部の領域は、上記複数の層の積層方向において上記接続領域と重なっており、上記接続領域と重なる上記第 2 導電層の領域には、上記積層方向に貫通しており、上記第 2 導電層をその層方向において分離している切欠部が形成されているとともに、この切欠部に上記絶縁層の一部が埋め込まれていることを特徴としている。

10

【0026】

上記の構成では、絶縁層に埋設され、この絶縁層より硬度の小さい材質からなる第 2 導電層が、外部との電氣的接続をとるための接続領域を有する第 1 導電層と、基板との間に介在する構成において、接続領域と重なる第 2 導電層の領域に、この第 2 導電層を貫通する切欠部が形成され、この切欠部に絶縁層の一部が埋め込まれている。

20

【0027】

これにより、切欠部に埋め込まれた絶縁層の一部が、硬度の小さい材質からなる第 2 導電層を貫通して上層を支持する柱（壁）の役割を果たすようになる（切欠部に埋め込まれた絶縁層の一部を「支柱部」と称する）。

【0028】

したがって、第 1 導電層の接続領域に衝撃（例えば、ボンディング工程におけるボンディングヘッド等が衝突することによる衝撃）が加わったとしても、その衝撃を支柱部で受けることにより第 2 導電層の変形が抑制される。その結果、接続領域の下方における第 1 導電層や第 2 導電層、絶縁層、さらにはこれらの層の上下に設けられる他の層にクラックが発生することを抑制することができる。

30

【0029】

また、切欠部は、第 2 導電層の層方向において第 2 導電層を分離している。これにより、第 2 導電層における切欠部により互いに分離された部分のうちの一部を、上層である第 1 導電層と、下層に設けられた他の層とを接続するために用いるとともに、他の一部を、第 1 導電層とは絶縁させた配線として利用することができるようになる。

【0030】

したがって、第 2 導電層における、複数の層の積層方向において上記接続領域と重なる領域をも、その上方にある第 1 導電層の接続領域とは絶縁され、独立した配線として利用することができるようになる。この独立した配線は、例えば基板の面方向に互いに離間して配置された他の電気回路要素同士を接続するために用いることができる。このように、第 1 導電層の接続領域の下層をより有効活用することができるようになり、半導体装置の小型化（高集積化）を図ることができるようになる。

40

【0031】

このように、本発明の半導体装置では、上記第 2 導電層における上記切欠部により互いに分離された部分のうちの少なくとも 1 つが、上記第 2 導電層の層方向に延在する配線であってもよい。

【0032】

以上のように、上記の構成によれば、接続領域の下層におけるクラックの発生を抑制し

50

つ、接続領域の下層を有効活用して半導体装置の小型化を図ることができる。

【0033】

なお、上記半導体装置の製造方法は、上記第2導電層を形成する第2導電層形成工程と、上記第2導電層に対して、上記複数の層の積層方向に貫通し、上記第2導電層をその層方向において分離する切欠部を形成する切欠部形成工程と、上記第2導電層を覆い、かつ、上記切欠部を埋めるようにして、上記第2導電層より硬度の大きい材質からなる上記絶縁層を形成する絶縁層形成工程と、上記積層方向において上記第2導電層における上記切欠部の形成された領域と上記接続領域とが重なるように上記第1導電層を形成する第1導電層形成工程とを含むことを特徴としている。

【0034】

また、この製造方法において、上記第2導電層における上記切欠部により互いに分離された部分のうちの少なくとも1つを、上記第2導電層の層方向に延在する配線としてもよい

10

【0035】

この製造方法により、上述した効果を奏する半導体装置を製造することができる。この製造方法では、従来の半導体装置の製造工程にて一般に利用されている材料や製造条件を用いればよく、第2導電層をパターンニングする際のパターンを変更する以外は特別な工程の追加等は必要ない。さらに、従来のエリアパッド技術のようにボンディングパッドの下方にポリイミド膜などの有機材料薄膜を配する必要もない。したがって、有機材料薄膜を配するための材料や処理装置、処理工程を別途必要とせず、半導体装置のコストアップを抑

20

【0036】

本発明の半導体装置は、上記の半導体装置において、上記基板が半導体基板であり、上記積層方向において上記接続領域と重なる上記半導体基板の領域には、半導体素子が形成されていてもよい。

【0037】

上記の構成では、接続領域の下方に半導体素子を形成するいわゆるエリアパッド構造となる。上述したように、本発明の構成では第1導電層の接続領域に衝撃が加わったとしても接続領域の下層においてクラックが発生することを抑制することができるため、接続領域の下方に半導体素子を形成したとしてもショートの問題が起こりにくい。そこで、上記のようにエリアパッド構造とすることにより、さらに接続領域の下層を有効活用して半導体装置の小型化を図ることができる。

30

【0038】

本発明の半導体装置は、上記の半導体装置において、上記積層方向において上記接続領域と重なる上記第2導電層の領域には、上記切欠部が複数形成されているとともに、各切欠部にそれぞれ上記絶縁層の一部が埋め込まれていてもよい。

【0039】

上記の構成では、接続領域と重なる第2導電層の領域に複数の切欠部が形成され、各切欠部に絶縁層の一部が埋め込まれていることにより、接続領域と重なる第2導電層の領域に複数の支柱部を形成することができる。これにより、第1導電層の接続領域に衝撃が加わった際に、その衝撃を複数の支柱部で受けることができる。したがって、接続領域の下方においてより広範囲で安定して第2導電層の変形を抑制することができる。また、その衝撃を複数の支柱部で分散して受けることができるため、より強い衝撃をも許容することができるようになる。

40

【0040】

なお、この半導体装置の製造方法は、上記の製造方法において、上記切欠部形成工程では、上記積層方向において上記接続領域と重なる上記第2導電層の領域に、上記切欠部を複数形成することになる。

【0041】

本発明の半導体装置は、上記の半導体装置において、上記積層方向において上記接続領域

50

と重なる上記第2導電層の領域では、上記接続領域の中心に相当する部分に対して上記基板の端部側より中心側に上記切欠部が多く形成されていることが望ましい。

【0042】

上記の構成では、接続領域と重なる第2導電層の領域において、接続領域の中心に相当する部分に対して、基板端部側より基板中心側に切欠部が多く形成されている。接続領域がワイヤーボンディングのための領域である場合、ボンディング工程におけるボンディングヘッドは、通常、基板端部側から基板中心側に向かって移動しつつ接続領域に衝突することになる。このとき、ボンディングヘッドが接続領域に衝突することによる衝撃に起因して生じる応力は、基板端部側より基板中心側において大きくなる。

【0043】

上記のように、基板端部側より基板中心側に切欠部が多く形成され、支柱部が形成されることにより、大きい応力が発生しやすい部分をより多くの支柱部により分散して支持することができ、より強い衝撃をも許容することができるようになる。

【0044】

本発明の半導体装置は、上記の半導体装置において、上記積層方向において上記接続領域と重なる上記第2導電層の領域であって、上記接続領域の中心に相当する部分には上記切欠部が位置することが望ましい。

【0045】

上記の構成では、接続領域の中心に相当する部分には切欠部が位置する。接続領域に加わる衝撃は、この接続領域の端部より中心部の方が大きくなりやすい。これは、衝撃を加える物（例えば、ボンディング工程におけるボンディングヘッド等）は接続領域の中心付近に衝突することが多いからである。上記のように、接続領域の中心に相当する部分に切欠部が位置し、支柱部が形成されることにより、最も衝撃が大きく最大応力が発生しやすい部分をこの支柱部により効果的に支持することができ、より確実にクラックの発生を抑制することができ、

【0046】

本発明の半導体装置は、上記の半導体装置において、上記切欠部が、上記第2導電層の層方向に延在するスリット状に形成されていてもよい。

【0047】

本発明の半導体装置は、上記の半導体装置において、上記積層方向において上記接続領域と重なる上記第2導電層の領域のうち上記切欠部を除いた部分の面積の割合が、87%以下であることが望ましい。

【0048】

上記の構成では、より確実にクラック発生を抑制することができ、クラック発生を抑制する観点からすると上記面積の割合が小さい方が望ましいが、第2導電層の少なくとも一部の領域は接続領域と重なっていることから、上記面積の割合が0%となることはない。

【0049】

本発明の半導体装置は、上記の半導体装置において、上記積層方向において上記接続領域と重なる上記第2導電層の領域には、上記切欠部が複数形成されているとともに、各切欠部にそれぞれ上記絶縁層の一部が埋め込まれており、上記積層方向において上記接続領域と重なる上記第2導電層の領域では、上記各切欠部の延在する方向に直交する断面における上記第2導電層の層方向の上記切欠部の平均数密度が、0.2本/ μm 以上であることが望ましい。

【0050】

上記の構成では、より確実にクラック発生を抑制することができ、クラック発生を抑制する観点からすると上記平均数密度が大きい方が望ましいが、上記平均数密度が大きくなると切欠部の幅が小さくなり切欠部の形成が困難になる。したがって、切欠部の形成が可能な範囲内で上記平均数密度を設定すればよい。

【0051】

【発明の実施の形態】

10

20

30

40

50

本発明の実施の一形態について図1から図7に基づいて説明すれば、以下の通りである。なお、本実施形態の半導体装置の製造工程や製造条件等は、通常の半導体装置の製造工程や製造条件等と基本的には同じであるため、特段の場合を除いてその詳細な説明は省略する。

【0052】

図1(a)は、本実施形態の半導体装置10を半導体基板11上方からみた平面図、図1(b)は、半導体装置10の図1(a) A-A線における断面図である。なお、図面の複雑化を避けるため、図1(a)では図1(b)に現れている構成要素の一部のものについては図示を省略している。

【0053】

半導体装置10は、表面に複数の層が積層された半導体基板11(基板)と、外部との電氣的接続をとるための接続領域(接続面)12aを有するボンディングパッド12(第1導電層)と、半導体基板11とボンディングパッド12との間に介在する第1層間絶縁膜13(絶縁層)と、この第1層間絶縁層13に埋設されたメタル配線層14(第2導電層)とを少なくとも備えている。

【0054】

さらに、半導体装置10は、半導体基板11上に形成されたMOSトランジスタ15(半導体素子)と、MOSトランジスタ15を分離する素子分離層16と、第1層間絶縁層13と半導体基板11との間に介在する第2層間絶縁膜17と、ボンディングパッド12を覆いつつ接続領域12aに相当する部分に開口部18aを有するパッシベーション膜18とを備えている。

【0055】

なお、ボンディングパッド12の接続領域12aは、パッシベーション膜18の開口部18aにより表面に露出しており、ウエハーテスト工程におけるテスターのフローバーや、ボンディング工程におけるワイヤーボンダーのボンディングヘッド等が接触でき、あるいはボンディングワイヤー等が接続できるようになっている。

【0056】

また、ここでは基板として半導体基板11を用いているが、絶縁体基板上に半導体層が形成されているような構成であってもよい。

【0057】

MOSトランジスタ15は、ゲート電極19、ソース領域20、及びドレイン領域21を備えている。なお、MOSトランジスタ15は、上記以外にも、絶縁膜、ソース電極、ドレイン電極等を備えることもあるが、本半導体装置10ではMOSトランジスタ15の構成にこだわらないため、ここではこれらの図示及び説明を省略している。また、MOSトランジスタ15は、半導体素子の一例として挙げたものであり、他の素子に置き換えて考えてもよい。

【0058】

なお、MOSトランジスタ15や素子分離層16など、半導体基板11と第2層間絶縁膜17との間、又は半導体基板11の上部に形成されている各層を「機能層」と総称することもある。

【0059】

メタル配線層14は、単層の金属薄膜にて構成されていてもよいが、主な構成要素である導電層22を、バリアメタル(反射防止膜)23a・23bで挟持して構成されることが多い。バリアメタル23a・23bは、メタル配線層14の形成過程で利用されるフォトリソグラフィ技術の露光工程における光の反射を防止するためのものである。なお、メタル配線層14の上側のバリアメタル23aのみが設けられることもある。

【0060】

同様に、ボンディングパッド12は、主な構成要素である導電層24を、バリアメタル25a・25bで挟持して構成されることが多く、ボンディングパッド12の上側のバリアメタル25aのみが設けられることもある。ただし、ボンディングパッド12の接続領域

10

20

30

40

50

12aでは、ボンディングワイヤー等との接続を良好にすべく、バリアメタル25aが除去されていることが望ましい。

【0061】

導電層22・24を構成する材質は、一般に第1層間絶縁層13やバリアメタル23a・23b・25a・25bの材質よりも硬度の小さいものが用いられることが多い。導電層22・24を構成する材質としては例えばAlやAlCu(Cuを含んだAl)があり、第1層間絶縁層13を構成する材質としては例えばSiO₂やP-TEOSがあり、バリアメタル23a・23b・25a・25bを構成する材質としては例えばTi/TiN(密着層としてのTiと、バリアメタルとしてのTiN)がある。

【0062】

第1層間絶縁層13は、メタル配線層14とボンディングパッド12とを絶縁するものであり、第2層間絶縁膜17は、半導体基板11や機能層とメタル配線層14とを絶縁するものである。また、第1層間絶縁層13及び第2層間絶縁膜17には、所定の位置にビアホール26・27が形成され、このビアホール26・27に埋め込まれたプラグ28・29により、ボンディングパッド12とメタル配線層14との間の導通、メタル配線層14と機能層との間の導通がとられる。なお、図1(b)では、メタル配線層14の一部とMOSトランジスタ15のドレイン領域21とが接続されている場合を一例として示している。

10

【0063】

ここで、本半導体装置10では、メタル配線層14の少なくとも一部の領域は、半導体基板11上に積層された各層の積層方向(以下、単に「積層方向」という。)において接続領域12aと重なっている。

20

【0064】

そして、接続領域12aと重なるメタル配線層14の領域(つまり、メタル配線層14における接続領域12aの下方の領域)には、積層方向に貫通しており、メタル配線層14をその層方向において分離している切欠部(ノッチ)30a~30eが形成されている。なお、本明細書では、「メタル配線層14の領域」には切欠部をも含むものとしている。この切欠部30a~30eにより、メタル配線層14は複数の配線14a~14fに区分されている。

【0065】

なお、「積層方向」とは、第2層間絶縁膜17、メタル配線層14、第1層間絶縁層13、ボンディングパッド12、パッシベーション膜18等を積層していく方向、つまり半導体基板11の表面にほぼ垂直な方向を意味している。また、「層方向」とは、各層に関してその層がひろがっている方向、つまり半導体基板11の表面にほぼ平行な方向を意味している。

30

【0066】

また、各切欠部30a~30eには、第1層間絶縁層13の一部がそれぞれ埋め込まれている。これにより、各切欠部30a~30eに埋め込まれた第1層間絶縁層13の一部が、硬度の小さい材質からなるメタル配線層14を貫通して上層を支持する柱(壁)の役割を果たすようになる。つまり、この切欠部30a~30eにそれぞれ埋め込まれている第1層間絶縁層13の一部が、それぞれ支柱部13a~13eを構成している。

40

【0067】

これにより、接続領域12aと重なるメタル配線層14の領域では、配線14a~14fと支柱部13a~13eとが交互に並ぶ断面構造となっている。

【0068】

なお、本実施形態では、複数の切欠部30a~30eが形成されている場合を想定して説明しているが、接続領域12aと重なるメタル配線層14の領域に単一の切欠部が形成されていてもよい。

【0069】

また、本実施形態では、切欠部30a~30eがスリット状に形成され互いに平行に、つ

50

まりストライプ状に配置されている場合を想定して説明しているが、切欠部 30a~30e の形状は上記に限定されるものではない。例えば、メタル配線層 14 の層方向において折れ曲がった形状や曲線形状等であってもよい。

【0070】

ここで、ボンディングパッド 12 の接続領域 12a には、ウエハーテスト工程においてテストのフローバーが衝突したり、ボンディング工程においてワイヤーボンダーのボンディングヘッドが衝突したりする。この衝突による衝撃や荷重によって、接続領域 12a の下層には応力が発生する。支柱部 13a~13e が形成されていないと、上記応力によりメタル配線層 14 の導電層 22 が圧縮変形しやすくなる。この圧縮変形により、導電層 22 上のバリアメタル 23a、その上の第 1 層間絶縁層 13、さらにその上のバリアメタル 25b における、上記圧縮変形の変形箇所に対応する部分に局所的に応力が集中する。そして、このように応力が集中した部分にクラックが発生する可能性が高くなる。

10

【0071】

これに対して、本半導体装置 10 は、支柱部 13a~13e が形成されていることにより、上記衝撃や荷重がボンディングパッド 12 の接続領域 12a に加わったとしても、その衝撃等を支柱部 13a~13e で受けることができる。支柱部 13a~13e は第 1 層間絶縁層 13 の一部であるため、メタル配線層 14 より硬度の大きい材質により構成されていることになる。したがって、支柱部 13a~13e により上記衝撃等をうけることで、メタル配線層 14 の変形を抑制することができる。

20

【0072】

その結果、導電層 22 上のバリアメタル 23a、その上の第 1 層間絶縁層 13、さらにその上のバリアメタル 25b の一部に応力が集中することを抑制でき、これらにクラックが発生することを抑制することができる。

【0073】

また、従来の構成では、例えば図 8 (a) 及び図 8 (b) に示したように、接続領域の下方に設けられている導電層は最上の導電層と導通しており、接続領域内の各導電層全体でボンディングパッドが構成されていた。このような構成では、接続領域の下方の導電層を、その上方にあるボンディングパッドとは独立した配線として利用することができず、接続領域の下層を有効活用することが困難であった。

30

【0074】

これに対して、本半導体装置 10 では、切欠部 30a~30e がメタル配線層 14 をその層方向において配線 14a~14f に分離している。これにより、切欠部 30a~30e によって互いに分離された配線 14a~14f のうちの一部のもの、例えば図 1 (b) では配線 14f を、上層であるボンディングパッド 12 と、下層に設けられた他の層とを接続するために用い、他の一部のもの、例えば図 1 (b) では配線 14a~14e を、ボンディングパッド 12 とは絶縁させた配線として利用することができるようになる。

【0075】

したがって、メタル配線層 14 における、積層方向において接続領域 12a と重なる領域をも、接続領域 12a とは絶縁され、独立した配線として利用することができるようになる。この独立した配線 14a~14e は、例えば半導体基板 11 の面方向に互いに離間して配置された他の電気回路要素同士を接続するために用いることができる。

40

【0076】

半導体装置 10 には、図 1 (a) 又は図 1 (b) に現れているボンディングパッド 12 や MOS トランジスタ 15 以外に、他のボンディングパッドや MOS トランジスタ、その他の電気回路要素が形成されている。半導体装置 10 では、図 1 (a) 又は図 1 (b) に現れているボンディングパッド 12 や MOS トランジスタ 15 以外の電気回路要素であっても、図 1 (a) 又は図 1 (b) に現れている接続領域 12a の下方の配線 14a~14f を用いて接続することができる。つまり、本半導体装置 10 では、メタル配線層 14 と同一の層による配線のレイアウトの自由度を高めることができる。

【0077】

50

このように、本半導体装置 10 では、メタル配線層 14 における切欠部 30a~30e により互いに分離された部分（配線 14a~14f）のうちの少なくとも 1 つを、メタル配線層 14 の層方向に延在する配線とすることができる。これにより、本半導体装置 10 では、接続領域 12a の下層をより有効活用することができるようになり、半導体装置 10 自体の小型化を図ることができるようになる。

【0078】

以上のように、本半導体装置 10 の構成では、接続領域 12a の下層におけるクラックの発生を抑制しつつ、接続領域 12a の下層を有効活用して装置の小型化を図ることができる。

【0079】

本半導体装置 10 では、積層方向において接続領域 12a と重なる半導体基板 11 の領域に、半導体素子としての MOS トランジスタ 15 が形成されている。この構成では、接続領域 12a の下方に半導体素子を形成するいわゆるエリアパッド構造となる。上述したように、本半導体装置 10 の構成では接続領域 12a に衝撃が加わったとしても接続領域 12a の下層においてクラックが発生することを抑制することができるため、接続領域 12a の下方に MOS トランジスタ 15 を形成したとしてもショートの問題が起こりにくい。そこで、上記のようにエリアパッド構造とすることにより、さらに接続領域 12a の下層を有効活用して装置の小型化を図ることができる。

【0080】

図 1 (a) 及び図 1 (b) にも現れているように、切欠部 30a~30e は複数形成されており、各切欠部 30a~30e にそれぞれ第 1 層間絶縁層 13 の一部が埋め込まれていることが望ましい。

【0081】

これにより、接続領域 12a と重なるメタル配線層 14 の領域に複数の支柱部 13a~13e を形成することができ、接続領域 12a に衝撃が加わった際に、その衝撃を複数の支柱部 13a~13e で受けることができる。したがって、接続領域 12a の下方においてより広範囲で安定してメタル配線層 14 の変形を抑制することができる。また、その衝撃を複数の支柱部 13a~13e で分散して受けることができるため、より強い衝撃をも許容することができるようになる。

【0082】

各切欠部 30a~30e は、図 1 (a) に示したように、例えばメタル配線層 14 の層方向に延在するスリット状、つまり直線状に延びる溝状に形成しておくことができる。各切欠部 30a~30e の配置関係としては、各切欠部 30a~30e を互いに平行になるように配置することが望ましい。これにより、支柱部 13a~13e を接続領域 12a の下方においてより均一に近い状態で分散させて配置できるとともに、配線 14a~14f を高密度で配置することができる。

【0083】

このとき、切欠部 30a~30e の延在する方向に直交する断面（例えば図 1 (b) に現れている断面）において、配線 14a~14f の幅を接続領域 12a の幅より小さい所定幅以下とし、切欠部 30a~30e の幅を接続領域 12a の幅より小さい所定幅以上とすることによって、より確実にクラックの発生を抑制することができるようになる。

【0084】

配線層密度とクラック発生率との関係を図 2 に示す。ここで、「配線層密度」とは、接続領域 12a の面積に対する、積層方向において接続領域 12a と重なるメタル配線層 14 の領域内で配線 14a~14f が占める面積の割合、つまり積層方向において接続領域 12a と重なるメタル配線層 14 の領域のうち切欠部 30a~30e を除いた部分の面積の割合を意味する。

【0085】

図 8 (a) 及び図 8 (b) に示した従来の構成では、配線層密度 = 1 となるため、配線層密度が大きいほどクラック発生率が従来の構成の場合に近づくことになる。実際、図 2 に

10

20

30

40

50

現れているように、配線層密度が大きいほどクラック発生率が高くなり、配線層密度がほぼ1になるとクラック発生率がほぼ100%になる。

【0086】

これに対して、配線層密度が0.87以下ではクラック発生率が0%になった。したがって、配線層密度を0.87以下にすることが望ましい。なお、マージンを考慮に入れて配線層密度を0.80以下にすることがより望ましく、より確実には配線層密度を0.60以下にすることが望ましい。

【0087】

なお、クラック発生を抑制する観点からすると配線層密度が小さい方が望ましいが、メタル配線層14の少なくとも一部の領域は接続領域12aと重なっていることから、配線層密度が0%となることはない。

10

【0088】

次に、スリット数とクラック発生率との関係を図3に示す。ここで、スリット数は、積層方向において接続領域12aと重なるメタル配線層14の領域に形成された切欠部の本数を指す。なお、図3はスリットの延在する方向に直交する断面における接続領域12aの幅が90μmの場合に関するものである。

【0089】

図8(a)及び図8(b)に示した従来の構成では、スリット数=0本となるため、スリット数が小さいほどクラック発生率が従来の構成の場合に近づくことになる。実際、図3に現れているように、スリット数が小さいほどクラック発生率が高くなっている。

20

【0090】

これに対して、スリット数が18本以上ではクラック発生率が0%になった。したがって、スリット数を18本以上にすることが望ましい。なお、マージンを考慮に入れてスリット数を20本以上にすることがより望ましい。

【0091】

なお、スリット数の影響をより一般化するためには、スリット数密度(切欠部の平均数密度)に換算して考えればよい。「スリット数密度」とは、積層方向において接続領域12aと重なるメタル配線層14の領域に関して、スリットの延在する方向に直交する断面におけるメタル配線層14の層方向の平均数密度、つまり単位長さ当たりの平均スリット数を意味する。上記の場合でスリット数=18本はスリット数密度=18本/90μm=0.2本/μmに相当し、スリット数=20本はスリット数密度=20本/90μm=0.22本/μmに相当することになる。

30

【0092】

なお、クラック発生を抑制する観点からするとスリット数数密度が大きい方が望ましいが、スリット数数密度が大きくなると切欠部の幅が小さくなり切欠部の形成が困難になる。したがって、切欠部の形成が可能な範囲内でスリット数数密度を設定すればよい。

【0093】

以上のように、スリット数を増加/減少することと、配線層密度を減少/増加することとはクラック発生率を抑制する点に関して相反する効果がある。クラック発生率をより確実に抑制するためには、スリット数を大きく(例えば、スリット数密度を0.22本/μm以上)し、かつ、配線層密度を小さく(例えば、配線層密度を0.6以下)するように切欠部30a~30e及び配線14a~14fの幅(延在する方向と直交する層方向の幅)を決定することが望ましい。

40

【0094】

例えば、スリットの延在する方向に直交する断面における接続領域12aの幅が90μmの場合、切欠部30a~30eの幅を1.8μm以上(ただし、製造プロセスで許容される最大値以下)、かつ、配線14a~14fの幅を2.7μm以下(ただし、製造プロセスで許容される最小値以上)に設定することが望ましく、これによりスリット数密度を0.22本/μm以上、かつ、配線層密度を0.6以下にすることができると。

【0095】

50

また、図4に示すように、積層方向において接続領域12aと重なるメタル配線層14の領域であって、接続領域12aの中心Cに相当する部分には切欠部の1つである切欠部30cが位置していることが望ましい。なお、図4は、図1(a)と同様、本半導体装置10を半導体基板11上方からみた平面図である。

【0096】

接続領域12aに加わる衝撃は、この接続領域12aの端部より中心部の方が大きくなりやすい。これは、衝撃を加える物（例えば、ボンディング工程におけるボンディングヘッド等）は、接続領域12aの中心付近に衝突することが多いからである。上記のように、接続領域12aの中心に相当する部分に切欠部の1つである切欠部30cが位置し、支柱部13cが形成されることにより、最も衝撃が大きく最大応力が発生しやすい部分をこの支柱部13cにより効果的に支持することができ、より確実にクラックの発生を抑制することができる。

10

【0097】

なお、接続領域12aの中心は、接続領域12aが矩形の領域である場合はその対角線の交点を意味し、接続領域12aが円形の領域である場合はその円の中心を意味する。より一般的には、接続領域12aの中心は、接続領域12aの重心を意味する。

【0098】

図4では、切欠部30a～30e、支柱部13a～13e、及び配線14a～14fが接続領域12aの中心Cに対して対称となるように配置されている場合を示したが、図5に示すように切欠部30a～30d、支柱部13a～13d、及び配線14a～14eを配置してもよい。図5には、積層方向において接続領域12aと重なるメタル配線層14の領域で、接続領域12aの中心Cに相当する部分に対して半導体基板11の基板端部側より基板中心側に切欠部及び支柱部が多く配置されている場合を示している。図5の場合は、半導体基板11の基板端部側には切欠部30d及び支柱部13dが配置され、半導体基板11の基板中心側には切欠部30a・30b及び支柱部13a・13bが配置されている。これにより、半導体基板11の基板中心側の方が基板端部側より配線14a～14eの面積密度が小さくなる。

20

【0099】

接続領域12aがワイヤーボンディングのための領域である場合、ボンディング工程におけるボンディングヘッドは、通常、半導体基板11の基板端部側から基板中心側に向かって移動しつつ接続領域12aに衝突することになる。このとき、ボンディングヘッドが接続領域12aに衝突することによる衝撃に起因して生じる応力は、基板端部側より基板中心側において大きくなる。

30

【0100】

上記のように、基板端部側より基板中心側に切欠部及び支柱部が多く形成されることにより、大きい応力が発生しやすい部分をより多くの支柱部により分散して支持することができ、より強い衝撃をも許容することができるようになる。

【0101】

なお、ここでいう半導体基板11の「端部」とは、半導体装置10が完成されたときの半導体基板11の端部11aをいう。したがって、通常の半導体装置の製造工程のように、大面積の半導体基板に多数の半導体装置を形成し、所定の段階で半導体基板を切断して各半導体装置を切り分ける場合には、その切断する部分が「端部」になる。

40

【0102】

次に、本半導体装置10の製造方法について図6(a)～図6(d)に基づいて説明する。なお、以下に示す各層の材質や形成方法、具体的な数値等は、一例として示したものであり、これらは適宜変更可能なものである。

【0103】

まず、図6(a)に示すように、半導体基板11上にMOSトランジスタ15や素子分離層16等の機能層を形成し、その上に第2層間絶縁膜17としてのBPSG膜をCVD(Chemical Vapor Deposition)法により9000Åの厚みに堆

50

積ませる。なお、第2層間絶縁膜17には所定の位置にビアホール27を形成し、フラグ29を埋め込む。

【0104】

さらに、この第2層間絶縁膜17の上にメタル配線層14を堆積させる（第2導電層形成工程）。メタル配線層14は、バリアメタル23bとして厚み200ÅのTiN膜、導電層22として厚み4000ÅのAl膜、バリアメタル23aとして厚み200ÅのTiN膜をこの順に積層することにより形成する。

【0105】

次に、図6(b)に示すように、フォトリソグラフ技術及び金属薄膜加工技術によりメタル配線層14を所定のパターンにパターニングする。つまり、メタル配線層14に対して、積層方向に貫通し、メタル配線層14をその層方向において分離する切欠部30a~30eを形成する（切欠部形成工程）。ここでは、後に形成するボンディングパッド12の接続領域12aと重なる領域における、配線14a~14fの幅が1.5μm、切欠部30a~30eの幅が1.5μmであり、配線14a~14f及び切欠部30a~30eがそれぞれストライプ状となるようにパターニングした。

【0106】

次に、図6(c)に示すように、第2層間絶縁膜17及びパターニングしたメタル配線層14上に第1層間絶縁膜18としてのPEOS膜を15000Åの厚みに堆積させる。このとき、第1層間絶縁膜18が、メタル配線層14を覆い、かつ、切欠部30a~30eを埋めるように第1層間絶縁膜18を堆積させる（絶縁層形成工程）。なお、第1層間絶縁膜18には所定の位置にビアホール26を形成し、フラグ28を埋め込む。

【0107】

次に、図6(d)に示すように、第1層間絶縁膜18上にボンディングパッド12を形成する。ボンディングパッド12は、バリアメタル25bとして厚み200ÅのTiN膜、導電層24として厚み6000ÅのAl膜、バリアメタル25aとして厚み200ÅのTiN膜をこの順に積層し、これらをフォトリソグラフ技術及び金属薄膜加工技術により所定のパターンにパターニングすることにより形成する。ここでは、ボンディングパッド12が100μm×100μmの正方形になるようにパターニングした。

【0108】

そして、第1層間絶縁膜18及びパターニングしたボンディングパッド12上にパッシベーション膜18としてのBPSG膜を10000Åの厚みに堆積させ、これをフォトリソグラフ技術及びパッシベーション膜加工技術によりパターニングしてボンディングパッド12上に開口部18aを形成し、接続領域12aを設ける。ここでは、接続領域12aが90μm×90μmの正方形になるようにパターニングした。

【0109】

なお、ボンディングパッド12及び接続領域12aは、積層方向においてメタル配線層14における切欠部30a~30eの形成された領域と接続領域12aとが重なるように形成される（第1導電層形成工程）。

【0110】

この製造方法においては、メタル配線層14における切欠部30a~30eにより互いに分離された部分のうち少なくとも1つを、メタル配線層14の層方向に延在する配線14a~14fとしてもよい。また、切欠部30a~30eを、メタル配線層14の層方向に延在するスリット状に形成してもよい。さらに、上記切欠部形成工程では、積層方向において接続領域12aと重なるメタル配線層14の領域に、切欠部を複数形成してもよい。

【0111】

上記のような工程を経て半導体装置10を形成することができる。この製造方法では、従来の半導体装置の製造工程にて一般に利用されている材料や製造条件を用いればよく、メタル配線層14をパターニングする際のパターンを変更する以外は特別な工程の追加等は必要ない。さらに、従来のエリアパッド技術のようにボンディングパッドの下方にポリイ

10

20

30

40

50

ミド膜などの有機材料薄膜を配する必要もない。したがって、有機材料薄膜を配するための材料や処理装置、処理工程を別途必要とせず、半導体装置のコストアップを抑制することができる。

【0112】

なお、上記半導体装置10では、メタル配線層14が1層のみの場合について説明したが、メタル配線層を2層以上設けてもよい。例えば図7に示す半導体装置50のように、2層のメタル配線層14・54を設けることができる。なお、半導体装置50の構成要素のうち、上記半導体装置10の構成要素と同等の機能を有する構成要素に対しては、上記半導体装置10について用いた符号と同一符号を用いる。また、第1層間絶縁層53、支柱部53a～53e、メタル配線層54、配線54a～54f、導電層62、バリアメタル63a・63b、ビアホール66、フラグ68、及び切欠部70a～70eは、それぞれ第1層間絶縁層13、支柱部13a～13e、メタル配線層14、配線14a～14f、導電層22、バリアメタル23a・23b、ビアホール26、フラグ28、及び切欠部30a～30eと同等の機能を有する構成要素である。

10

【0113】

半導体装置50では、切欠部30a～30eと切欠部70a～70eとが積層方向に重なるように配置されることが望ましい。これにより、支柱部13a～13eと支柱部53a～53eとが積層方向に直線状に延び、効果的な支持が可能になる。

【0114】

なお、必ずしも複数のメタル配線層すべてに切欠部が形成されている必要はないが、ボンディングパッド12に最も近いメタル配線層には切欠部が形成されていることが望ましい。

20

【0115】

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。なお、本発明の半導体装置及びその製造方法は、次の特徴を有しているともいえる。

【0116】

本発明の半導体装置は、複数層の金属層によって構成され、最上層の第1の金属層によって形成されたボンディングパッドを有する半導体装置で、ボンディングパッドの下部にて半導体素子が形成されている半導体装置であって、ボンディングパッドの下部において、第1の金属層の下層である第2の金属層が形成されていない箇所が1本以上の細いスリット状になるように第2の金属層パターンが形成されている。

30

【0117】

また、本発明の半導体装置は、第2の金属層が、ボンディングパッドの下部にてボンディングパッドの幅より細い、ある一定の値以下の線幅で形成されている箇所を複数箇所有し、第2の金属層に挟まれた絶縁膜がある値以上の線幅で形成されている箇所を複数箇所有している。

【0118】

また、本発明の半導体装置は、ボンディングパッドの下部において、第2の金属層が形成されていない細いスリット状の箇所が、ボンディングパッドの中心に位置するように配置されている。

40

【0119】

また、本発明の半導体装置は、上記スリット状の箇所が、ボンディングパッドの中心からチップの外側方向よりもボンディングパッドの中心からチップの内側方向に多く形成されている。

【0120】

また、上記半導体装置の製造方法は、半導体基板上に、第1の金属層を堆積させる工程と、第2の金属層を堆積させる工程と、第2の金属層を所定の幅と所定の間隔を有するストライプ状に加工する工程とを含んでいる。

【0121】

50

また、上記半導体装置の製造方法は、第1の金属層の下方に、第2の金属層を所定の幅と所定の間隔を有するストライプ状に加工する工程を含んでいる。

【0122】

【発明の効果】

本発明の半導体装置は、接続領域を有する第1導電層と、基板と第1導電層との間に介在する絶縁層と、絶縁層に埋設された第2導電層とを備え、第2導電層が絶縁層より硬度の小さい材質からなる半導体装置であって、第2導電層の少なくとも一部の領域は、積層方向において接続領域と重なっており、接続領域と重なる第2導電層の領域には、積層方向に貫通しており、第2導電層をその層方向において分離している切欠部が形成されているとともに、この切欠部に絶縁層の一部が埋め込まれている構成である。

10

【0123】

これにより、切欠部に埋め込まれた絶縁層の一部が、硬度の小さい材質からなる第2導電層を貫通して上層を支持する柱（壁）の役割を果たすようになる。したがって、第1導電層の接続領域に衝撃が加わったとしても、その衝撃を支柱部で受けることにより第2導電層の変形が抑制される。その結果、接続領域の下方における第1導電層や第2導電層、絶縁層、さらにはこれらの層の上下に設けられる他の層にクラックが発生することを抑制することができる。

【0124】

また、切欠部は、第2導電層の層方向において第2導電層を分離している。したがって、第2導電層における、複数の層の積層方向において上記接続領域と重なる領域をも、その上方にある第1導電層の接続領域とは絶縁され、独立した配線として利用することができるようになる。このように、第1導電層の接続領域の下層をより有効活用することができるようになり、半導体装置の小型化（高集積化）を図ることができるようになる。

20

【0125】

以上のように、上記の構成によれば、接続領域の下層におけるクラックの発生を抑制しつつ、接続領域の下層を有効活用して半導体装置の小型化を図ることができる。

【0126】

なお、上記半導体装置の製造方法は、第2導電層を形成する第2導電層形成工程と、第2導電層に対して、積層方向に貫通し、第2導電層をその層方向において分離する切欠部を形成する切欠部形成工程と、第2導電層を覆い、かつ、切欠部を埋めるようにして、第2導電層より硬度の大きい材質からなる絶縁層を形成する絶縁層形成工程と、積層方向において第2導電層における切欠部の形成された領域と接続領域とが重なるように第1導電層を形成する第1導電層形成工程とを含む方法である。

30

【0127】

この製造方法により、上述した効果を奏する半導体装置を製造することができる。この製造方法では、従来の半導体装置の製造工程にて一般に利用されている材料や製造条件を用いればよく、第2導電層をパターンニングする際のパターンを変更する以外は特別な工程の追加等は必要ない。さらに、従来のエリアパッド技術のようにボンディングパッドの下方にポリイミド膜などの有機材料薄膜を配する必要もない。したがって、有機材料薄膜を配するための材料や処理装置、処理工程を別途必要とせず、半導体装置のコストアップを抑制することができる。

40

【0128】

本発明の半導体装置は、上記の半導体装置において、基板が半導体基板であり、積層方向において接続領域と重なる半導体基板の領域には、半導体素子が形成されていてもよい。

【0129】

上記の構成では、接続領域の下方に半導体素子を形成するいわゆるエリアパッド構造となる。上述したように、本発明の構成では第1導電層の接続領域に衝撃が加わったとしても接続領域の下層においてクラックが発生することを抑制することができるため、接続領域の下方に半導体素子を形成したとしてもショートの問題が起こりにくい。そこで、上記のようにエリアパッド構造とすることにより、さらに接続領域の下層を有効活用して半導体

50

装置の小型化を図ることができる。

【0130】

本発明の半導体装置は、上記の半導体装置において、積層方向において接続領域と重なる第2導電層の領域には、切欠部が複数形成されているとともに、各切欠部にそれぞれ絶縁層の一部が埋め込まれていてもよい。

【0131】

上記の構成では、第1導電層の接続領域に衝撃が加わった際に、その衝撃を複数の支柱部で受けることができる。したがって、接続領域の下方においてより広範囲で安定して第2導電層の変形を抑制することができる。また、その衝撃を複数の支柱部で分散して受けることができるため、より強い衝撃をも許容することができるようになる。

10

【0132】

なお、この半導体装置の製造方法は、上記の製造方法において、切欠部形成工程では、積層方向において接続領域と重なる第2導電層の領域に、切欠部を複数形成することになる。

【0133】

本発明の半導体装置は、上記の半導体装置において、積層方向において接続領域と重なる第2導電層の領域では、接続領域の中心に相当する部分に対して基板の端部側より中心側に切欠部が多く形成されていることが望ましい。

【0134】

上記の構成では、大きい応力が発生しやすい部分をより多くの支柱部により分散して支持することができ、より強い衝撃をも許容することができるようになる。

20

【0135】

本発明の半導体装置は、上記の半導体装置において、積層方向において接続領域と重なる第2導電層の領域であって、接続領域の中心に相当する部分には切欠部が位置することが望ましい。

【0136】

上記の構成では、最も衝撃が大きく最大応力が発生しやすい部分をこの支柱部により効果的に支持することができ、より確実にクラックの発生を抑制することができる。

【0137】

本発明の半導体装置は、上記の半導体装置において、上記切欠部が、上記第2導電層の層方向に延在するスリット状に形成されていてもよい。

30

【0138】

本発明の半導体装置は、上記の半導体装置において、積層方向において接続領域と重なる第2導電層の領域のうち切欠部を除いた部分の面積の割合が、87%以下であることが望ましい。上記の構成では、より確実にクラック発生を抑制することができる。

【0139】

本発明の半導体装置は、上記の半導体装置において、積層方向において接続領域と重なる第2導電層の領域では、各切欠部の延在する方向に直交する断面における第2導電層の層方向の切欠部の平均数密度が、0.2本/ μm 以上であることが望ましい。上記の構成では、より確実にクラック発生を抑制することができる。

40

【図面の簡単な説明】

【図1】(a)は、本発明の実施の一形態に係る半導体装置を半導体基板上方からみた平面図、(b)は、上記半導体装置の(a)A-A線における断面図である。

【図2】配線層密度とクラック発生率との関係を示すグラフである。

【図3】スリット数とクラック発生率との関係を示すグラフである。

【図4】図1の半導体装置における切欠部の配置を説明するための図面である。

【図5】図1の半導体装置における切欠部の他の配置を説明するための図面である。

【図6】(a)～(d)は、図1の半導体装置の製造方法を説明するための図面である。

【図7】図1の半導体装置の一変形例を示す図面であり、半導体基板上方からみた断面図である。

50

【図 8】(a) は、従来の半導体装置を半導体基板上方からみた平面図、(b) は、上記半導体装置の断面図である。

【図 9】従来の半導体装置におけるボンディングパッド部分の斜視図である。

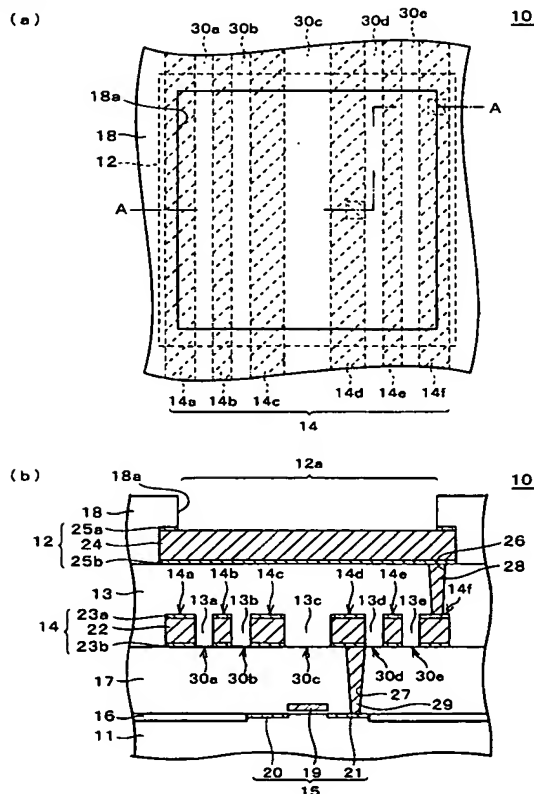
【符号の説明】

- 10 半導体装置
- 11 半導体基板(基板)
- 12 ボンディングパッド(第1導電層)
- 12a 接続領域
- 13 第1層間絶縁層(絶縁層)
- 13a~13e 支柱部
- 14 メタル配線層(第2導電層)
- 14a~14f 配線
- 15 MOSトランジスタ(半導体素子)
- 17 第2層間絶縁膜
- 18 パッシベーション膜
- 30a~30e 切欠部
- 50 半導体装置
- 53 第1層間絶縁層(絶縁層)
- 53a~53e 支柱部
- 54 メタル配線層(第2導電層)
- 54a~54f 配線
- 70a~70e 切欠部

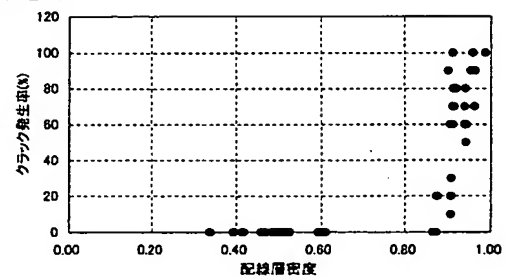
10

20

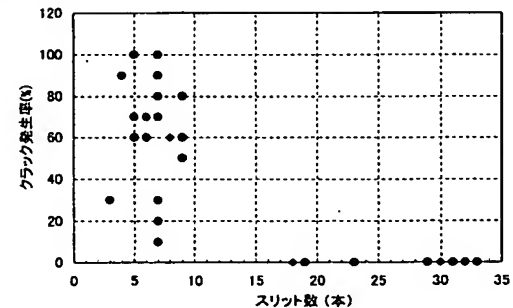
【図 1】



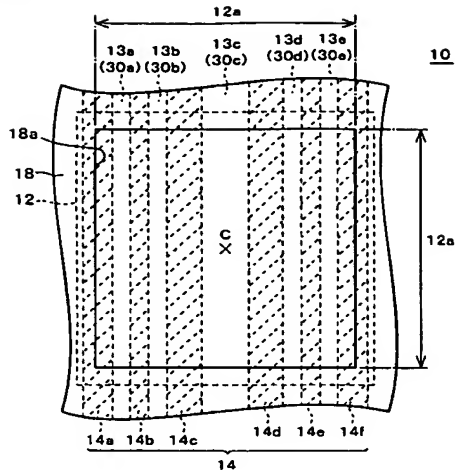
【図 2】



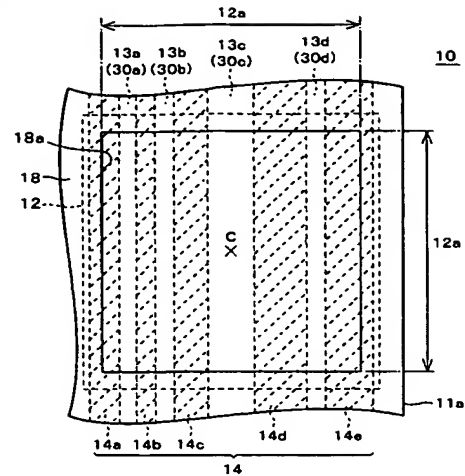
【図 3】



【図 4】

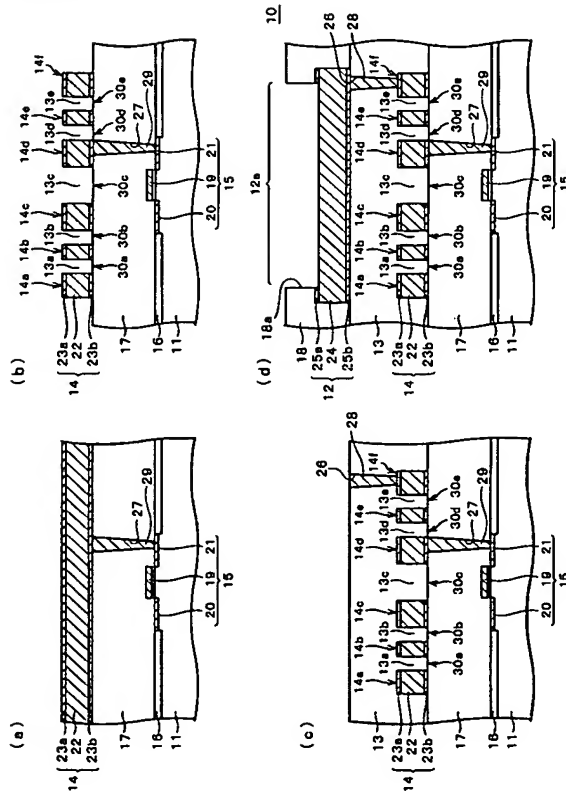


【図 5】

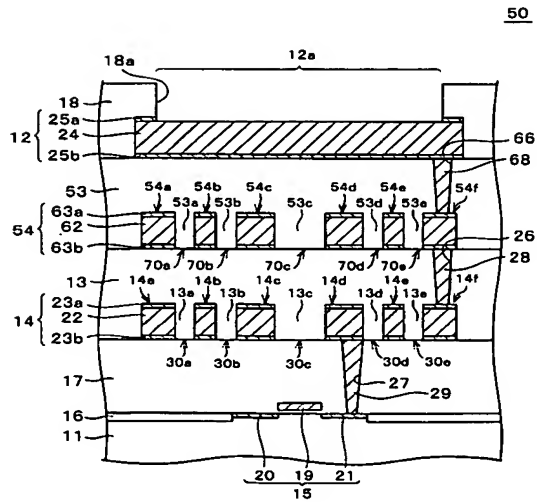


基板中心側 ← | → 基板端部側

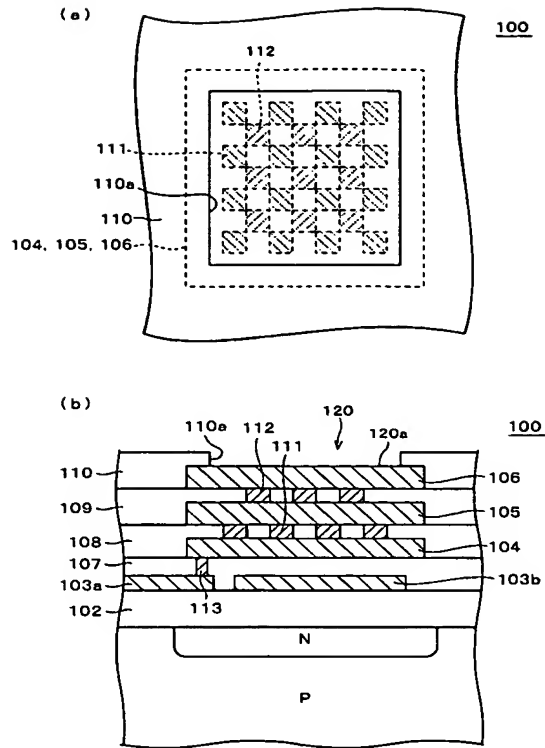
【図 6】



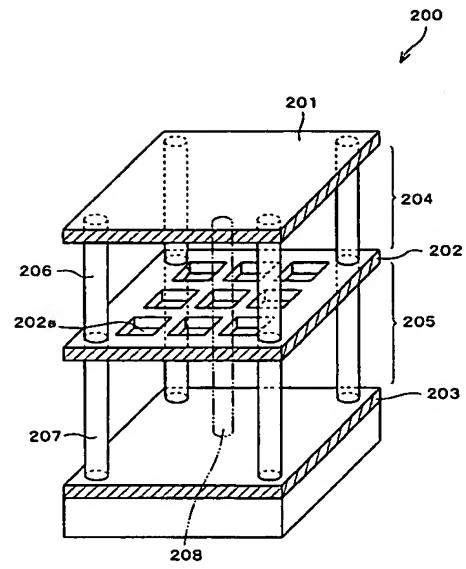
【図 7】



【図 8】



【図 9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☒ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.